

# 2016

>>> **SoC** 학술대회

**2016. 5.27(금)~28(토)**

**중앙대학교 208관**

**주최 :** 대한전자공학회 SoC설계연구회

**주관 :** 중앙대학교

**후원 :** 중앙대 휴먼ICT창의융합인재양성사업단

지능형반도체 전문인력양성-스마트인지제어 사업팀

## 목 차

초대의 글	3
감사의 글	4
운영위원회	5
일정	8
Keynote Speech	10
논문발표	13
• Session DM1 : Digital & Memory1	14
• Session DM2 : Digital & Memory2	15
• Session DM3 : Digital & Memory3	16
• Session DM4 : Digital & Memory4	17
• Session DM5 : Digital & Memory5	18
• Session EM : Emerging Technology & Extra	19
• Session AR1 : Analog & RFIC1	20
• Session AR2 : Analog & RFIC2	21
• Session AR3 : Analog & RFIC3	22
• 포스터	23
학술대회 등록 방법	29
오시는 길	30

# 2016 SoC 학술대회 논문발표



## Session DM2 : Digital & Memory

세션번호	발표시간	발표장소	좌장
DM2	9:30 ~ 10:45	311호	조상복 교수 (울산대)

### No.1

UAV 충돌 회피를 위한 이동객체검출기의 설계 및 구현

조재찬, 정용철, 정윤희  
(한국항공대학교)

### No.2

Zynq Z7045 FPGA 기반의 LDWS 구현

방지원, 정용진  
(광운대학교)

### No.3

HEVC 화면 내 예측을 위한 적응적 모드 결정 알고리즘

김태선, 선우명훈  
(아주대학교)

### No.4

스테레오 비전 시스템을 위한 유일성 검사 하드웨어 구조

조성득, 문병인  
(경북대학교)

### No.5

IEEE 802.11ac 무선 LAN 시스템을 위한 FFT 프로세서의 설계 및 구현

정용철, 정윤희  
(한국항공대학교)

# 스테레오 비전 시스템을 위한 유일성 검사 하드웨어 구조

조성득, 문병인

경북대학교 전자공학부

전화: (053)950-7580, E-mail: bihmoon@knu.ac.kr

## A Hardware Architecture of the Uniqueness Check for Stereo Vision Systems

Seong-Deuk Jo, Byungin Moon

School of Electronics Engineering, Kyungpook National University

### 요 약

지역기반 정합 방법(local matching method)을 사용하는 스테레오 비전 시스템은 많은 정합 오차를 가지는 단점이 있다. 유일성 검사(uniqueness check)는 정합 오차를 줄이기 위해 가장 널리 사용되는 알고리즘이며, 하드웨어 구현이 용이한 장점이 있다. 본 논문에서는 유일성 검사의 효율적인 하드웨어 구조를 제안하고, 기존의 사용된 하드웨어 구조와 비교하여 하드웨어 사용 측면에서 그 우수성을 검증한다.

### Abstract

A stereo vision system based on the local matching methods has the drawback of lower matching accuracy on disparities. The uniqueness check is an widely used algorithm to reduce the matching errors and suitable for implementing into hardware. Thus, this paper proposes an optimized hardware architecture of the uniqueness check and verifies its superiority by comparing it with the conventional hardware architecture.

**Keywords** : Stereo vision, Uniqueness check, Hardware architecture

## I. 서 론

유일성 검사는 실시간 스테레오 비전 시스템을 구현하기 유리한 지역기반 정합 방법의 정합률을 높일 수 있는 방법으로 많이 사용 된다<sup>[1,2]</sup>. 하지만 기존의 유일성 검사 하드웨어 구조는 불필요한 레지스터 및 조합 논리회로의 사용으로 비효율적인 측면이 있다<sup>[3]</sup>. 이에 본 논문에서는 불필요한 레지스터 및 조합 논리회로를 제거하여 유일성 검사의 최적화된 하드웨어 구조를 제안한다.

## II. 본 론

### 1. 유일성 제약

유일성 제약(uniqueness constraint)은 스테레오 비전 시스템에서 3차원의 한 점은 스테레오 이미지 각각 최대 한 점으로만 투영이 되기 때문에 각 픽셀과 정합되는 반대 영상의 픽셀 수는 최대 1개 이상이 될 수 없다는 것이다<sup>[1,2]</sup>. 만약 우영상의 한 픽셀이 좌영상의 픽셀들과 1개의 정합이 발생한다면, 유일성 제약을 위반한 것이다.

### 2. 제안하는 하드웨어 구조

유일성 검사는 영상에서 유일성 제약을 위반하는 픽셀을 찾는 방법으로 우영상의 유일성 검사 알고리즘은 식(1), (2)와 같이 표현된다. 이때  $Dr(x,y)$ 는 우영상에

서 픽셀 좌표가  $(x,y)$  인 픽셀의 시차 값을 나타내고,  $S.R.$ 은 탐색 범위를 나타낸다. 식(1), (2)를 통해  $Error$  값이 0일 경우 해당 좌표의 픽셀은 유일성 제약을 만족하고, 그렇지 않으면 유일성 제약을 위반한 픽셀로 판단 한다<sup>[1]</sup>.

$$F(x,y,i) = \begin{cases} 1, & \text{if } Dr(x,y) = Dr(x+i,y) + i \\ 0, & \text{otherwise} \end{cases} \quad (1)$$

$$Error = \sum_i F(x,y,i) \quad (2)$$

$$i \in N \mid |i| \leq S.R., i \neq 0$$

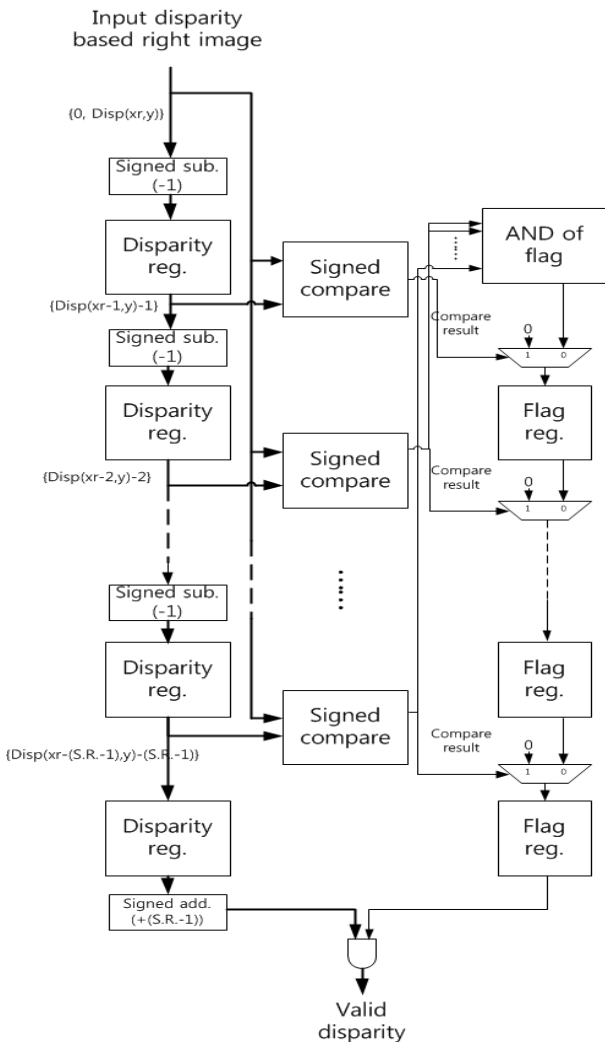


그림 1. 제안하는 유일성 검사 하드웨어 구조  
Fig. 1. Proposed hardware architecture of uniqueness check.

그림1은 본 논문에서 제안하는 식(2)에 기반을 둔 유일성 검사 알고리즘의 하드웨어 구조이다. 시차 값이 입력이 되면 이전에 저장된 탐색 범위만큼의 시차 값들

과 비교 연산을 수행한다. 하드웨어 구조에서 입력되는 시차 값의 픽셀의  $x$  좌표는 1씩 순차적으로 커지기 때문에 시차 값을 레지스터에 저장할 때 1을 감산하고 저장하는 방법을 사용하면 식(1)을 비교 연산만으로 계산할 수 있으며 기존의 하드웨어 구조에서 중복으로 사용되었던 레지스터를 제거할 수 있다. 시차 값의 감산으로 인해 오버플로우가 발생하는 것을 방지하기 위해 입력된 시차 값에 부호 비트를 확장하여 부호를 고려한 연산을 한다. 유일성 검사 후 출력되는 시차 값은 비교 연산 결과를 반영하여 유일성 제약을 위반하면 시차 값이 0이 되도록 설계하였다.

### III. 실험

실험 방법으로 탐색 범위가 64인 유일성 검사의 기존 하드웨어 구조와 제안한 하드웨어 구조를 Verilog HDL로 설계하였고 Xilinx Virtex4 LX60 FPGA를 대상으로 합성하여 하드웨어 사용량을 비교 분석하였다<sup>[3]</sup>. 본 논문에서 제안하는 구조는 기존의 구조에 비해서 레지스터 사용량이 12.1%, LUT(Look up table) 사용량이 11.8% 줄어들었다. 이는 탐색 범위에 비례해 커지는 MUX와 디코더를 제거하였고, 시차 값을 저장하는 레지스터의 비트 수는 늘었지만 개수가 절반으로 줄어들었기 때문이다.

표 1. 하드웨어 사용량  
Table1. Hardware costs.

	기존 구조 <sup>[3]</sup>	제안하는 구조
Slice registers	573	503
Slice LUTs	566	499

### IV. 결론

본 논문에서는 실시간 스테레오 비전 시스템을 위한 유일성 검사의 효율적인 하드웨어 구조를 제안하였고 실험 결과 기존의 하드웨어 구조보다 하드웨어 사용량이 줄어든 것을 확인하였다.

### 감사의 글

본 연구는 미래창조과학부 및 정보통신기술진흥센터

의 대학ICT연구센터육성지원사업의 연구결과로 수행되었음 (IITP-2016-H8601-16-1002)

### 참 고 문 헌

- [1] L. Di Stefano, M. Marchionni, and S. Mattoccia, "A fast area-based stereo matching algorithm," *Image and vision computing*, vol. 22, no. 12, pp. 983-1005, 2004.
- [2] C. L. Zitnick, and T. Kanade, "A cooperative algorithm for stereo matching and occlusion detection," *Pattern Analysis and Machine Intelligence, IEEE Transactions on*, vol. 22, no. 7, pp. 675-684, 2000.
- [3] P. Zicari, S. Perri, P. Corsonello, and G. Cocorullo, "Low-cost FPGA stereo vision system for real time disparity maps calculation," *Microprocessors and Microsystems*, vol. 36, no. 4, pp. 281-288, 2012.