

사단
법인

대한전자공학회

The Institute of Electronics and Information Engineers

2014년도 융합/스마트/클라우드 컴퓨팅 학술대회



- 일 시 : 2014년 10월 18일 (토) 09:30 - 19:00
- 장 소 : 평산아카데미 연수원 (신관1층 에센스홀)

- 주 최 : 사단법인 대한전자공학회
- 주 관 : 대한전자공학회 컴퓨터소사이어티 융합컴퓨팅연구회
- 후 원 : 경일대학교
경북대학교
(주)우정정보기술
(주)ENTS
한국리눅스협의회(LUG)
평산아카데미연수원



대한전자공학회

The Institute of Electronics and Information Engineers

Session 2. 구두 논문발표

Part 2. Smart Computing

좌장 : 박춘명(한국교통대)

시간 : 15:00 ~ 15:40

장소 : 신관1층 에센스홀

- [2-1] 실시간 시차 탐색 범위 추정을 위한 하드웨어 구조 (발표시간 : 15:00)
21 손현식(경북대), 민경국(경북대), 권기구(ETRI), 문병인(경북대)
- [2-2] 레이저포인터 EUI 기반 북 리뷰어 개발 (발표시간 : 15:15)
23 박수연(대구대), 박희주(경일대)
- [2-3] A survey on identity management challenges in cloud computing (발표시간 : 15:30)
30 Goutham Reddy A.(경북대), Eun-Jun Yoon(경일대), Kee-Young Yoo(경북대)

실시간 시차 탐색 범위 추정을 위한 하드웨어 구조

*손현식, *민경국, **권기우, *문병인

*경북대학교 IT대학 전자공학부

**한국전자통신연구원 대경권 연구센터 자동차 IT플랫폼연구팀

e-mail : *{soc_shs1984, rudnr88}@ee.knu.ac.kr, **kwonkk@etri.re.kr, *bihmoon@knu.ac.kr*

A Hardware Architecture for Real-Time Disparity Search Range Estimation

*Hyeon-Sik Son, *Kyeong-Kuk Min, **Kee-Koo Kwon, and *Byungin Moon

*School of Electronics Engineering, Kyungpook National University

**Automotive IT Platform Research Team, Daegu-Gyeongbuk Research Center,
Electronics and Telecommunications Research Institute

Abstract

This paper proposes a new hardware architecture of disparity search range estimation scheme for local stereo matching. A reliable disparity search range estimation scheme is important to improve matching accuracy and reduce processing time. Furthermore, this estimation scheme needs to be implemented in hardware, not in software, in order to carry out the stereo matching process in real time. So, this paper proposes a hardware architecture of disparity search range estimation for real-time stereo matching. The proposed architecture is fully pipelined and produces proper disparity search ranges in real time.

I. 서론

스테레오 정합은 스테레오 이미지에서 대응점을 찾아 대응점 간의 시차를 계산함으로써 3차원 거리 정보

본 논문은 한국전자통신연구원(ETRI)에서 지원하는 정부출연금 주요사업 연구비로 수행되었음.

본 논문은 한국전자통신연구원(ETRI) 정부출연금 주요사업 '상황인지 스마트카를 위한 다중 센서 플랫폼기술 개발'의 지원을 받아 수행되었음.

인 깊이 맵을 획득하기 위한 기술이다[1]. 다양한 스테레오 정합 알고리즘 중 지역 정합 방법은 한정된 시차 추정 범위 안에서 좌우 이미지의 상관도를 계산하여 대응점을 구하는 방법으로 전역 정합 방법에 비해 연산량이 작아 실시간 스테레오 정합 시스템에 많이 사용된다[2]. 이러한 지역 정합 방법의 경우 시차 추정 범위에 비례하여 연산량이 급증하는 문제점이 있다. 뿐만 아니라 긴 시차 추정 범위는 정합 정확성을 떨어뜨리는 원인이 되기 때문에 최적의 시차 추정 범위를 결정하기 위해 시차 추정 범위 예측 기법이 소개되었다 [3]. 그러나 시차 추정 범위 예측 방법들 사용함에도 불구하고 스테레오 정합은 여전히 연산량이 많아 실시간 처리를 위해 하드웨어 회로 구현이 필요하다.

II. 제안하는 시차추정범위예측 하드웨어

제안하는 시차 추정 범위 예측 하드웨어는 [3]에서 소개된 시차 추정 범위 예측 방법을 기반으로 설계되었으며 그림 1과 같이 라인 메모리 블록, 세로 뎀스 버퍼 블록, 히스토그램 기반 시차추정범위예측 블록으로 구성된다. 만약 히스토그램 누적을 위한 윈도우 크기가 $n \times n$ 일 경우, 라인 메모리 블록은 이전 프레임의 시차 정보를 읽어오기 위한 n 개의 라인 메모리로 구성된다. 세로 뎀스 버퍼 블록 또한, n 개의 세로 버퍼로 구성된다. 각각의 세로 버퍼는 n 개의 라인 메모리

에서 같은 세로 위치에 저장된 이전 프레임의 시차정보를 결합한 데이터를 저장한다. 따라서 n 개의 세로 버퍼는 히스토그램 누적에 위한 $n \times n$ 윈도우 형태의 데이터를 제공하게 된다. 최대 시차 추정 범위가 m 이라면, 히스토그램 기반 시차추정범위예측 블록은 m 개의 히스토그램 누적 모듈을 가지게 된다. 그림 2와 같이 각각의 히스토그램 누적 모듈은 고유의 시차 값과 동일한 히스토그램 값을 누적하게 된다. 히스토그램 누적 모듈은 세로 버퍼 #0의 값을 추가하고, 세로 버퍼 # $n-1$ 의 값을 빼는 박스 필터링(box filtering) 기법 [4]를 사용하여 하드웨어 비용과 연산량을 줄인다. 최종적으로 시차추정범위 예측 모듈은 최고 빈도수를 가지는 시차 값을 찾고 이를 기반으로 유효한 시차 추정 범위 정보를 출력한다.

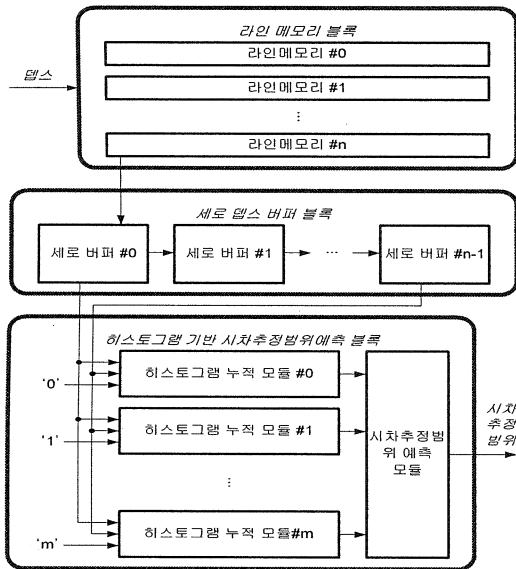


그림 1. 제안하는 시차추정범위예측 하드웨어 구조

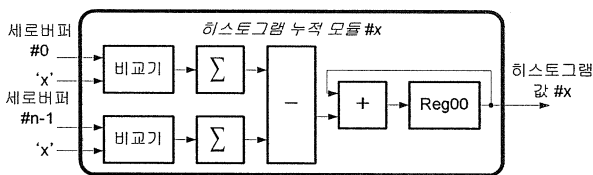


그림 2. 히스토그램 누적 모듈 하드웨어 구조

표 1. 합성 결과

Slice Logic Utilization	Number of Used (Rate)
Slice Registers	474 (1%)
Slice LUTs	4,105 (1%)
LUT F/F pairs	4,109 (1%)
RAMB18E1/FIFO18E1s	8 (1%)

III. 실험결과

제안하는 시차추정범위 예측을 위한 하드웨어 구조는 HDL로 설계되었으며 Xilinx Virtex6 LX760 FPGA로 구현되었다. 제안하는 하드웨어 구조는 64의 최대 시차 추정 범위 값을 사용하였으며 히스토그램 누적을 위해 7×7 크기의 윈도우를 사용하였다. 표1의 합성 결과에서 보듯이 제안하는 하드웨어 구조를 구현하는데 많은 하드웨어 자원이 필요하지 않다는 것을 알 수 있다. 실험 결과에 따르면 제안하는 시차 추정 범위 예측 하드웨어 구조는 매 클럭 유효한 시차 추정 범위 정보를 실시간으로 생성한다.

IV. 결론

시차 추정 범위 예측 기법은 시차 추정 범위를 제한함으로써 정합률을 향상시키고 연산량을 줄인다. 본 논문에서는 실시간 스테레오 정합 시스템을 위한 시차 추정 범위 예측 회로의 구조를 제안한다. 제안하는 시차 추정 범위 예측 구조는 파이프라인 구조로 설계되어 속도를 높이고, 박스 필터링 기법을 사용하여 연산량과 하드웨어 자원 사용을 줄인다. 차후에, 제안하는 하드웨어 구조를 사용하여 실시간 스테레오 정합 시스템을 개발할 예정이며, 저전력 관점에서 제안하는 시차 추정 범위 예측 구조의 장점을 분석할 예정이다.

참고문헌

- [1] D. Scharstein and R. Szeliski, "A taxonomy and evaluation of dense two-frame stereo correspondence algorithms," International Journal of Computer Vision, vol. 47, pp. 7-42, 2002.
- [2] L. Nalpantidis, G. C. Sirakoulis and A. Gasteratos, "Review of stereo matching algorithms for 3D vision," The Proceedings of 16th international symposium on measurement and control in robotics, pp. 116-124, 2007.
- [3] 민경국, 손현식, 배경렬, 문병인, "스테레오 매칭을 위한 효율적인 시차탐색범위 추정 방법," 한국정보기술학회 하계종합학술대회, pp. 329-331, 2014.
- [4] M. J. MCDONNELL, "Box-Filtering Techniques," Computer graphics and image processing, vol.17, no. 1, pp. 65-70, 1981.