



<http://soc2019.ieieweb.org>

2019 SoC 학술대회 2019 SoC 학술대회 2019 SoC 학술대회

# 2019 SoC

>>> 학술대회

**2019. 5.17(금) ~ 18(토)**

한밭대학교 유성덕명캠퍼스  
국제교류관(S0동)



주최 : 대한전자공학회 SoC설계연구회

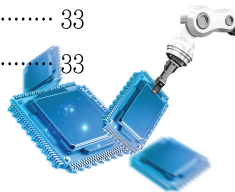
주관 : 국립 한밭대학교 전자·제어공학과  
전자부품연구원

후원 : Synopsys Korea, Cadence Korea, Mentor  
실리콘웍스, 실리콘마이터스, 텔레칩스  
노블 디자인, 휴인스, 리버트론, 웨이브피아  
오르델 반도체, 네오와인, 엠원인터네셔널



## 목 차

초대의 글 .....	3
감사의 글 .....	4
2019 SoC 학술대회 조직위원회 .....	5
세부 일정 .....	6
Special Session	
• Special Session 1 : Brain- and Cell-inspired Circuits and Systems .....	9
• Special Session 2 : Industry .....	10
• Special Session 3 : Convolutional Neural Network (CNN) Accelerator Design .....	11
• Special Session 4 : Circuits and Systems for Body Channel Communication .....	12
• Special Session 5 : Intelligent Systems .....	13
• Special Session 6 : RF & Analog Towards 5G and Beyond .....	15
Keynote Speech .....	17
구두발표논문	
• Oral Session A : Analog & RF IC .....	19
• Oral Session B : Digital / SoC Design Methodology .....	20
• Oral Session C : Emerging Technologies .....	21
포스터발표논문	
• Poster Session 1 : Analog & RF IC .....	22
• Poster Session 2 : Digital / SoC Design Methodology .....	27
• Poster Session 3 : Emerging Technologies .....	30
학술대회 등록방법 .....	32
찾아오시는 길 .....	33
캠퍼스내 위치 안내 .....	33



세션번호	발표시간	발표장소	좌장
Poster Session 2	15:00 ~ 15:30	S0동 1층 로비	이영주 교수 (포스텍)

## Poster Session 2 : Digital / SoC Design Methodology

- P2-1** NCL 기반의 저전력 마이크로프로세서 설계  
이진경, 김경기(대구대학교)
- P2-2** 노화효과를 고려한 고신뢰 디지털 회로 설계  
이진경, 김경기(대구대학교)
- P2-3** 임베디드 시스템에서의 적분 영상 계산을 위한 저비용 하드웨어구조  
김동섭, 문병인(경북대학교)
- P2-4** 결합검사장치의 성능향상 회로 설계  
이호윤, 김연진, 황도연, 정진균(전북대학교)
- P2-5** 자연 손실이 없는 저면적 폴딩 Threshold Implementation  
최병준, 김보훈, 박종선(고려대학교)
- P2-6** 적은 수의 에러를 미리 정정하는 저지연, 저전력 RS 디코더  
김건호, 신동엽, 박종선(고려대학교)
- P2-7** 딥러닝에 최적화된 멀티코어 프로세스용 ALU  
조철원(서경대학교), 이상일(켈리타스 반도체), 이광엽(서경대학교)
- P2-8** FPGA Reverse Engineering Using Lattice iCE40 FPGA  
조만희(홍익대학교), 이형민(고려대학교), 김영민(홍익대학교)

# 임베디드 시스템에서의 적분 영상 계산을 위한 저비용 하드웨어 구조

김동섭, 문병인

경북대학교 전자공학부

전화: (053)950-7580, E-mail: bihmoon@knu.ac.kr

## Low-cost Hardware Architecture for Integral Image Computation in Embedded Systems

Dongsub Kim, Byungin Moon

School of Electronics Engineering, Kyungpook National University

### 요 약

AdaBoost 기반의 얼굴 검출 알고리즘에서 Haar-like 특징의 효율적인 계산을 위해 적분 영상이 사용된다. 그러나 적분 영상 하드웨어 구조는 많은 하드웨어 자원을 필요로 하며, 이에 본 논문에서는 임베디드 시스템에서 효율적으로 구현 가능한 적분 영상 하드웨어 구조를 제안한다. Xilinx 사의 FPGA xc7z020clg484-1를 대상으로 제안하는 하드웨어 구조를 구현한 결과, 제안하는 하드웨어 구조는 2,084개의 Slice LUT, 7,057개의 slice 레지스터, 29,440바이트의 메모리를 사용한다.

### Abstract

Integral images are used for efficient calculation of Haar-like features in AdaBoost-based face detection algorithms. However, integral image computation requires a lot of hardware resources when it is implemented as a hardware circuit. For this reason, this paper proposes a hardware architecture for integral image computation that can be effectively implemented in embedded systems. The proposed architecture uses 2,084 LUTs, 7,057 slice registers, and 29,440 bytes of memory when it is implemented in Xilinx' s FPGA xc7z020clg484-1.

**Keywords** : Face Detection, AdaBoost, Haar-Like Feature, Integral Image

## I. 서 론

AdaBoost(Adaptive Boosting) 기반의 얼굴 검출 알고리즘<sup>[1]</sup>은 연산이 간단하면서 높은 얼굴 검출률을 보이기 때문에 임베디드 시스템에서 주로 활용되고 있다. AdaBoost 기반의 얼굴 검출 알고리즘은 주로 Haar-like 특징을 사용하고, Haar-like 특징은 적분 영상(Integral Image)으로 쉽게 계산할 수 있다. 그러나 임베디드 시스템에서 적분 영상 하드웨어 구조는 영상의 해상도가 높아질수록 하드웨어 자원 사용량이 급

격히 높아지는 경향을 보인다<sup>[2]</sup>. 따라서 본 논문에서는 임베디드 시스템에서 효율적으로 구현 가능한 적분 영상의 하드웨어 구조를 제안한다.

## II. 본 론

### 1. 적분 영상

적분 영상은 그림 1(a)와 같이 영상의 좌상단 픽셀(Pixel)부터 현재 픽셀까지 값을 누적한 영상이다. Haar-like 특징은 적분 영상의 각 픽셀 값을 참조하여

효율적으로 계산할 수 있고, 그림 1(b)는 적분 영상에서 Haar-like 특징을 계산하는 한 예시를 나타낸다.

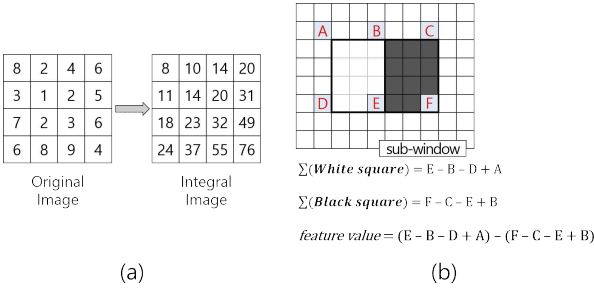


그림 1. 적분 영상과 Haar-like 특징 계산  
Fig. 1. Integral image and calculation of Haar-like features.

## 2. 하드웨어 구조

본 논문에서 제안하는 적분 영상 하드웨어 구조는 그림 2와 같고, 크게 라인 버퍼(Line Buffer), 수직 적분 버퍼(Vertical Integral Buffer), 적분 영상 버퍼(Integral Image Buffer)로 나눌 수 있다.

라인 버퍼는 픽셀 값을 저장하기 위한 행 단위의 메모리이며, Haar-like 특징 계산을 위한 서브윈도우(Sub-Window)를 만드는 데에 필요한 최소한의 행만을 사용한다.

수직 적분 버퍼는 레지스터(Register)로, 서브윈도우 크기만큼 필요하며 라인 버퍼에서 읽은 픽셀 값을 수직 방향으로 누적한 결과를 저장한다.

적분 영상 버퍼 또한 레지스터로 서브윈도우 크기만큼 필요하며, 수직 적분 버퍼를 수평 방향으로 누적한 값을 저장함으로써 적분 영상을 계산한다. 수직 적분 버퍼와 적분 영상 버퍼는 해당 배열에서 생길 수 있는 최대값을 기준으로 생성하며, 원본 영상의 픽셀이 8-bit의 크기를 가지고, 서브윈도우 크기가 24×24인 경우, 수직 적분 버퍼는 13-bit, 적분 영상 버퍼는 18-bit의 비트 길이를 가진다.

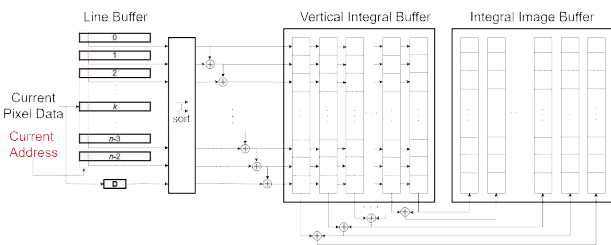


그림 2. 제안하는 하드웨어 구조  
Fig. 2. Proposed hardware architecture.

## III. 실험

본 논문에서 제안하는 하드웨어 구조의 하드웨어 자원 사용량을 확인하기 위해, 제안하는 하드웨어 구조를 Verilog HDL로 기술하였고, Xilinx 사의 FPGA xc7z020clg484-1를 대상으로 합성하였다. 제안하는 하드웨어 구조는 1280×720 해상도의 입력 영상, 24×24 크기의 서브윈도우를 기준으로 한다. 제안하는 하드웨어 구조의 합성 결과는 표 1과 같다.

표 1. 제안한 하드웨어 구조의 하드웨어 자원 사용량  
Table 1. Hardware resource usage of the proposed hardware architecture.

Hardware Resource Usage	
Memory	29,440 Byte
Slice LUTs	2,084
Slice Registers	7,057

## IV. 결론

본 논문에서는 임베디드 시스템에서 효율적으로 구현 가능한 적분 영상 하드웨어 구조를 제안하였다. 제안하는 하드웨어 구조는 전체 영상에 대하여 적분 영상을 생성하는 것에 비해 메모리 크기와 연산 유닛의 수를 대폭 줄일 수 있기에 임베디드 시스템에 구현하기에 적합하다.

## 감사의 글

이 논문은 2019년도 정부(산업통상자원부)의 재원으로 한국연구재단-실종아동 등 신원확인을 위한 복합 인지기술개발사업사업의 지원을 받아 수행된 연구임(NRF-2018M3E3A1057248).

## 참고 문헌

- [1] P. Viola and M. J. Jones, "Robust Real-Time Face Detection", *International Journal of Computer Vision*, vol. 57, no. 2, pp. 137-154, May 2004.
- [2] C. Kyrkou and T. Theoharides, "A Flexible Parallel Hardware Architecture for AdaBoost-Based Real-Time Object Detection", *IEEE Transactions on Very Large Scale Integration (VLSI) Systems*, vol. 19, no. 6, pp. 1034-1047, June 2011.