

초고속 메모리 테스트를 위한 패턴 생성기

(Pattern Generator for Testing High Speed Memory)

김정환*, 송하운*, 문병인**

* 경북대학교 일반대학원 전자전기공학부

** 경북대학교 IT대학 전자공학부, 경북대학교 일반대학원 전자전기공학부

Abstract

Recently, as memory technologies have grown, memory test technology to increase memory reliability has also been widely studied. However, high speed memory test systems are still complex and expensive because they require a high operating frequency to respond to memory performance. Therefore, in this paper, we propose a pattern generator that can reduce the complexity and cost of memory test systems. The proposed pattern generator secures a pattern generation time by parallelizing pattern generation units to reducing the operating frequency. Since the proposed pattern generator has low complexity, it can lower the cost and power consumption of the high speed memory test equipment.

Keywords: Memory Test, March Algorithm, Pattern Generator, Hardware Accelerator

I. 서론

최근 메모리 관련 기술의 발전 속도에 따라 메모리의 성능 또한 크게 발전하고 있으며 새로운 메모리 제품이 나오기까지의 주기가 점점 더 빨라지고 있다[1-3]. 이에 최근 메모리의 정상 동작을 확인하기 위한 테스트 장비 및 테스트 기술에 대한 주목도가 높아지고 있으며, 특히 고속으로 고용량 메모리에 대한 테스트를 수행하는 방법에 대한 연구가 많이 수행되고 있다[4-6]. 메모리 테스트 알고리즘 중 March 알고리즘의 경우 테스트 방식이 매우 단순하면서도 높은 결함 coverage를 가진다는 장점이 있어 이를 활용한 메모리 테스트 기술에 대한 연구가 활발히 진행되고 있다[7]. March 알고리즘은 메모리의 각 주소에 특정 March 패턴 값을 저장하고, 해당 주소의 값을 다시 읽어 패턴 값과 일치하는지 확인함으로써 메모리의 정상 동작을 확인한다. 여기서 March 패턴은 알고리즘에 따라 매 순간 생성되어야 하는데, 초고속으로 동작하는 메모리의 경우 메모리의 동작 속도에 비해 패턴 생성 속도가 현저히 떨어져 메모리

테스트 시 병목 현상이 크게 발생하게 된다. 이에 본 논문에서는 March 알고리즘에 따른 March 패턴 sequence를 입력받아 초고속으로 March 패턴들을 생성하는 패턴 생성기의 하드웨어 구조를 제안한다.

II. 제안하는 구조

본 논문에서는 연산량이 많은 패턴 생성부를 병렬화하여 패턴 생성 시간을 확보하고, 생성된 패턴을 다시 직렬화 함으로써 패턴 생성 속도를 높인 패턴 생성기의 하드웨어 구조를 제안한다. 제안하는 패턴 생성기의 하드웨어 구조는 그림 1.과 같으며, Parallel Synthesizer, Data Generator, Address Generator, Speed-up Module, Control Generator로 구성된다.

Parallel Synthesizer는 March 알고리즘에 따른 패턴 sequence를 입력받아 패턴 생성기에 맞게 해석하고, instruction 형태로 stack에 저장한다. 패턴 sequence의 입력이 완료되면, 저장된 instruction들을 Data Generator 및 Address Generator에 순차적으로 전송하여 March 알고리즘 기반 메모리 테스트를 위한 March 패턴 및

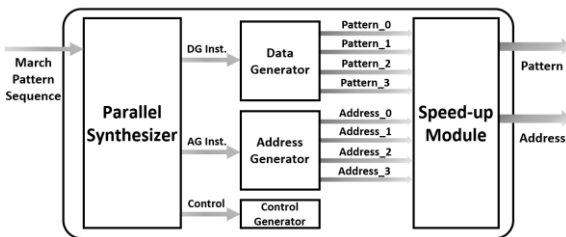
메모리 주소를 생성한다.

Data Generator는 Parallel Synthesizer로부터 전달받은 instruction에 따라 메모리 테스트를 위한 March 패턴을 생성한다. Data Generator는 서로 다른 네 종류의 March 패턴을 병렬적으로 생성하고, 생성된 각 March 패턴은 Speed-up Module로 전달된다.

Address Generator는 Parallel Synthesizer로부터 전달받은 address instruction에 따라 테스트 패턴이 입력될 메모리 주소를 생성한다. Address Generator는 메모리 테스트 과정에 따른 총 4개의 연속적인 메모리 주소를 병렬적으로 생성하고, 생성된 4개의 메모리 주소를 Speed-up Module로 전달한다.

Speed-up Module은 Data Generator와 Address Generator에서 생성된 4개의 March 패턴과 4개의 메모리 주소를 직렬화하여 메모리 테스트에 사용되는 March 패턴 및 메모리 주소를 순차적으로 출력한다.

Control Generator는 메모리 테스트 과정에 따라 패턴 생성기 및 내부 모듈들의 전반적인 동작을 관리 및 조정한다.

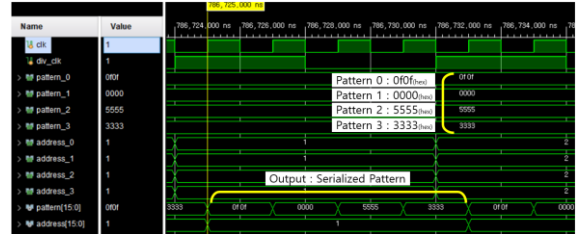


• 그림 1. 제안하는 패턴 생성기 구조

III. 실험

본 논문에서 제안하는 패턴 생성기의 동작을 검증하기 위해 제안하는 하드웨어 구조를 Verilog HDL로 기술하고, Xilinx사의 Vivado 2020.2를 사용하여 패턴 생성기에 대한 시뮬레이션을 수행하였다. 그림 2는 네 가지 종류의 March 패턴을 가지는 sequence에 대한 Vivado 시뮬레이션 결과 파형을 보여준다. 그림 2에서, 4개의 March 패턴은 병렬적으로 생성되고 하나의 메모리 주소에 대해 4개의 패턴이 직렬화되어 출력됨을 확인할 수 있다.

본 논문에서 제안하는 초고속 메모리 테스트를 위한 패턴 생성기의 하드웨어 자원 사용량을 확인하기 위해 Xilinx사의 xc7z020c1g484-1을 타겟으로 제안하는 패턴 생성기의 하드웨어 구조를 합성하였으며, 표 1.은 제안하는 패턴 생성기의 하드웨어 자원 사용량을 보여준다.



- 그림 2. 제안하는 패턴 생성기의 시뮬레이션 결과 파형
- 표 1. 제안하는 패턴 생성기의 하드웨어 자원 사용량

Hardware Utilization	Proposed Pattern Generator
Slice LUTs	462
Slice Registers	363
BRAMs (18 Kbits)	0

IV. 결론

본 논문에서는 초고속 메모리 테스트에 적용 가능한 패턴 생성기의 하드웨어 구조를 제안하였다. 제안하는 패턴 생성기는 연산량이 많은 패턴 생성부를 병렬화하여 비교적 낮은 동작 주파수에서 병렬적으로 여러 종류의 패턴들을 생성하고, 생성된 패턴들을 높은 동작 주파수에 맞게 직렬화하여 출력함으로써 패턴 생성 속도를 크게 향상시켰다. 제안하는 패턴 생성기는 하드웨어 자원 사용량이 매우 낮아 메모리 테스트 장비의 비용 및 소모 전력을 크게 낮출

수 있으며, 외부로부터 March 패턴 sequence를 받아 패턴을 생성하므로 모든 종류의 March 테스트에 대응할 수 있다.

ACKNOWLEDGMENT

본 연구는 산업통상자원부(20019363)와 KSRC 지원 사업인 미래반도체소자 원천기술개발사업의 연구결과로 수행되었음.

본 연구는 IDEC에서 EDA Tool을 지원받아 수행하였습니다.

참고문헌

- [1] S. Yu and P. Y. Chen, "Emerging memory technologies: Recent trends and prospects," *IEEE Solid-State Circuits Magazine*, Vol. 8, no. 2, pp. 43-56, June 2016.
- [2] H. Jun, J. Cho, K. Lee, H. Y. Son, K. Kim, H. Jin, and K. Kim, "Hbm (high bandwidth memory) dram technology and architecture," 2017 IEEE International Memory Workshop (IMW), pp. 1-4, May 2017.
- [3] S. Shiratake, "Scaling and performance challenges of future DRAM," 2020 IEEE International Memory Workshop (IMW), pp. 1-3, May 2020.
- [4] G. Harutyunyan, S. Martirosyan, S. Shoukourian, and Y. Zorian, "Memory physical aware multi-level fault diagnosis flow," *IEEE Transactions on Emerging Topics in Computing*, Vol. 8, no. 3, pp. 700-711, January 2018.
- [5] T. N. Kong, N. E. Alias, A. Hamzah, I. Kamisian, M. P. Tan, U. U. Sheikh, and Y. A. Wahab, "An Efficient March (5n) FSM-Based Memory Built-In Self Test (MBIST) Architecture," 2021 IEEE Regional Symposium on Micro and Nanoelectronics (RSM), pp. 76-79, August 2021.
- [6] A. Z. Jidin, R. Hussin, L. W. Fook, and M. S. Mispan, "A review paper on memory fault models and test algorithms," *Bulletin of Electrical Engineering and Informatics*, Vol. 10, no. 6, pp. 3083-3093, December 2021.
- [7] A. J. Van de Goor and I. B. Tlili, "March tests for word-oriented memories," In *Proceedings Design, Automation and Test in Europe*, pp. 501-508, February 1998.