

세션명	발표시간	발표장소	좌장
VCO/clock	15:20~15:40	공학1호관 202호	송민영 교수 (DGIST)

Analog & RFIC Analog and Mixed-signal Circuits

19 FMCW Signal을 위한 Wide Frequency Range 의 Low Phase Noise LiT VCO CFP-666

석승미(성균관대학교), 김호원(성균관대학교 대학원생), 송현민(성균관대학교 학생)

세션명	발표시간	발표장소	좌장
VCO/clock	15:40~16:00	공학1호관 202호	송민영 교수 (DGIST)

Analog & RFIC RFIC/Power Management Circuits

6 에너지 하베스팅 컨버터에서 사용하기 위한 40nA 저전력 1.2 V Band-Gap Reference 회로 CFP-619

김혜림(성균관대학교), 오주원(성균관대학교 박사과정 재학), 이강윤(성균관대학교 교수)

세션명	발표시간	발표장소	좌장
아날로그/PM	15:00~15:20	공학1호관 201호	정영호 교수 (대구대)

Analog & RFIC RFIC/Power Management Circuits

12 A High-Efficiency LDO Design for SC Converters Supporting 5-20V Input and 0-500mA Load Range CFP-625

김수일(성균관대학교), 최준혁(스카이칩스, 성균관대학교 대학원생), 김동민(스카이칩스, 성균관대학교 대학원생), 최경덕(스카이칩스, 성균관대학교 대학원생), 부영건(스카이칩스 연구소장), 이강윤(성균관대학교 교수)

세션명	발표시간	발표장소	좌장
아날로그/PM	15:20~15:40	공학1호관 201호	정영호 교수 (대구대)

Analog & RFIC Analog and Mixed-signal Circuits

24 슬루율이 향상된 디스플레이 소스 드라이버 IC용 Rail-to-Rail Class AB 버퍼 증폭기 CFP-678

이수호(한양대학교 ERICA캠퍼스 전자공학부), 김종석(한양대학교 ERICA 조교수)

하드웨어 친화적 캐니 에지 검출 알고리즘

조승준¹, 강주완¹, 김태준¹, 정인수¹, 문병인^{1,2}
¹경북대학교 대학원 전자전기공학부, ²경북대학교 전자공학부

Hardware-Friendly Canny Edge Detection Algorithm

Seungjun Jo¹, Joowan Kang¹, Taejun Kim¹, Insu Jeong¹, Byungin Moon^{1,2}
¹Graduate School of Electronic and Electrical Engineering, Kyungpook National University,
²School of Electronics Engineering, Kyungpook National University

요 약

캐니 에지 검출 알고리즘은 여러 에지 검출 알고리즘 중 선명한 에지를 추출하고 높은 노이즈 억제 성능을 달성할 수 있어 널리 사용되는 알고리즘이다. 하지만 캐니 에지 검출 알고리즘은 에지 강도와 방향을 산출하기 위해 복잡한 연산을 수행하기 때문에 하드웨어로 설계할 때 어려움이 있다. 따라서 본 논문에서는 하드웨어 상에서 캐니 에지 검출 알고리즘을 효율적으로 수행할 수 있도록 에지 강도와 방향을 근사하는 방법을 제안한다. 기존 방법과 비교한 결과, 제안하는 방법은 기존 방법과 유사한 성능을 보였으며 이는 캐니 에지 검출 알고리즘을 하드웨어로 설계하는 데 실용적인 대안이 될 수 있다.

Abstract

The Canny edge detection algorithm is widely used among various edge detection algorithms due to its ability to extract sharp edges and achieve high noise suppression performance. However, since it performs complex computations to determine edge magnitude and direction, it presents challenges when implemented in hardware. Therefore, this paper proposes a method to approximate edge magnitude and direction in order to efficiently execute the Canny edge detection algorithm on hardware. When compared with the conventional method, the proposed approach demonstrated similar performance, indicating that it could serve as a practical alternative for hardware implementation of the Canny edge detection algorithm.

Keywords : Canny edge detection, hardware accelerator, image processing

I. 서 론

에지 검출은 영상의 형상, 구조, 객체의 위치 등을 파악하기 위해 다양한 방식으로 수행된다^[1]. 에지 검출 알고리즘 중 캐니 에지 검출(Canny edge detection) 알고리즘은 다른 에지 검출 알고리즘에 비해 선명한 에지를 추출하고 높은 노이즈 억제 성능을 달성할 수 있어 널리 사용되며, 이를 하드웨어 가속기로 구현하여 실시간 성능을 높이기 위한 다양한 연구들이 진행되어 왔다^[2]. 하지만 캐니 에지 검출 알고리즘은 에지 강도

와 방향을 산출하기 위해 복잡한 연산을 수행하기 때문에 하드웨어로 설계 시 어려움이 있다. 이에 본 논문에서는 캐니 에지 검출 알고리즘을 하드웨어 상에서 효율적으로 수행할 수 있도록 에지 강도와 방향을 근사하는 방법을 제안한다.

II. 본 론

1. 캐니 에지 검출
캐니 에지 검출 알고리즘은 다음과 같은 네 단계로

수행된다. 첫 번째 단계에서는 회색조(grayscale) 영상에 가우시안 스무딩(gaussian smoothing)을 적용하여 노이즈를 제거한다. 두 번째 단계로, 스무딩된 영상에서 x 와 y 방향의 미분 연산을 통해 각 픽셀의 기울기 강도와 방향을 산출한다. 세 번째 단계에서는 미분 방향에 따라 픽셀들을 분류하고, 동일 방향을 갖는 인접 픽셀들과의 값을 비교하여 국소 극대값만을 에지 후보로 선정한다. 마지막 단계로, 이중 임계값 기법을 활용하여 최종 에지를 결정한다.

2. 제안하는 방법

전통적인 캐니 에지 검출 알고리즘에서는 에지의 강도를 식 (1)으로 산출하며, 식 (2)의 역탄젠트 연산을 기반으로 에지를 4방향으로 분류한다. 이때 G_x 와 G_y 는 입력 영상에 대해 x 및 y 방향으로 미분 연산을 수행한 결과이다. 그러나 이 방식은 에지 강도를 구하기 위해 제곱 및 제곱근을 활용하고, 에지의 방향을 분류하기 위해 역탄젠트와 같은 복잡한 연산을 포함하고 있어 하드웨어로 구현할 때 어려움이 있다. 이에 본 논문에서는 역탄젠트 연산 대신, 45도와 135도 방향의 미분 연산을 추가적으로 수행하여 가장 큰 미분값을 가지는 방향으로 에지의 방향을 근사한다. 또한 에지의 강도를 효과적으로 계산하기 위해 4방향 미분 결과값을 사용한 식 (3)을 도입하였다. 여기서 a, b, c, d 는 4개의 방향 미분 결과를 크기 순서로 나열했을 때, 각각 가장 큰 값부터 가장 작은 값에 해당한다.

$$G = \sqrt{G_x^2 + G_y^2} \quad (1)$$

$$\theta = \arctan\left(\frac{G_y}{G_x}\right) \quad (2)$$

$$G_{proposed} = \max\left(\frac{7a}{8} + \frac{b}{2} + \frac{c}{4} + \frac{d}{8}, a\right) \quad (3)$$

III. 실험

본 연구에서는 캐니 에지 검출 알고리즘을 기존 방법과 제안하는 방법으로 구현하여 결과를 비교 및 분석했다. 그림 1의 (a)는 원본 영상이며, (b)와 (c)는 각각 원본 영상에 대해 기존 방법과 제안하는 방법을 적용한 에지 검출 결과 영상이다. 두 방식의 에지 검출 결과를 픽셀 단위로 비교한 결과, 99% 이상 일치함을 확인했다.

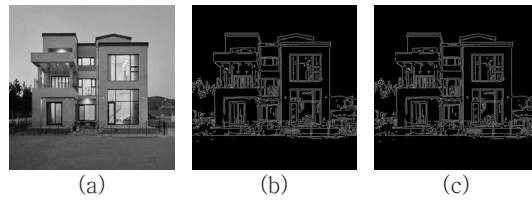


그림 1. 캐니 에지 검출 결과: (a) 원본 영상, (b) 기존 방법, (c) 제안하는 방법

Fig. 1. Canny edge detection results: (a) original image, (b) conventional method, and (c) proposed method

IV. 결 론

본 논문에서는 캐니 에지 검출 알고리즘을 하드웨어 상에서 효율적으로 수행하기 위해 에지 강도 및 방향을 근사적으로 산출하는 방법을 제안한다. 제안하는 방법의 에지 검출 결과는 기존 방법의 에지 검출 결과와 픽셀 단위로 비교했을 때 99% 이상의 정확도를 보였으며, 이는 캐니 에지 검출 알고리즘을 하드웨어로 설계하는 데 실용적인 대안이 될 수 있다.

ACKNOWLEDGMENT

이 논문은 정부(과학기술정보통신부)의 재원으로 한국연구재단-시스템반도체융합전문인력육성사업의 지원을 받아 수행된 연구임(RS-2020-NR047144)

참 고 문 헌

- [1] S. Kumar, A. K. Upadhyay, P. Dubey and S. Varshney, "Comparative analysis for Edge Detection Techniques," 2021 International Conference on Computing, Communication, and Intelligent Systems (ICCCIS), pp. 675-681, Greater Noida, India, 2021
- [2] Z. Huan, W. Yaxin, W. Shuang, L. Zhihao, C. Panyu and W. Fangjuan, "FPGA-based Improved Canny Edge Detection System," 2024 IEEE 4th International Conference on Information Technology, Big Data and Artificial Intelligence (ICIBA), pp. 1608-1613, Chongqing, China, 2024

Zero Skipping 기법을 사용한 엣지 디바이스용 저전력 하드웨어 Lightweight DNN

홍승아¹, 김건희², 이성재^{1,2}, 김동균^{2,3}, 부영건², 이강윤¹

¹성균관대학교 전자전기컴퓨터공학과, ²스카이칩스, ³성균관대학교 인공지능학과

Low Power Hardware Lightweight DNN using Zero Skipping Method for Edge Device

Seung-A Hong¹, Geon-Hoe Kim², Sung-Jae Lee^{1,2}, Dong-Gyun Kim^{2,3}, Young-Gun Pu², and Kang-Yoon Lee¹

¹Department of Electrical and Computer Engineering, Sungkyunkwan University, ²SKAChips Co., Ltd, ³Department of Artificial Intelligence, Sungkyunkwan University

요 약

기존 하드웨어 신경망은 복잡한 연산 구조로 인해 전력 소모가 크고, 연산 자원이 제한된 엣지 환경에서 실시간 처리가 어렵다. 본 논문은 엣지 디바이스 환경에서 실시간 데이터 분류가 가능한 하드웨어 lightweight Deep Neural Networks(DNN)을 제안한다. 히든 레이어에서 1-bit 가중치를 사용하고 마지막 레이어에서만 8-bit 가중치를 사용하는 lightweight DNN 과 input 이 0 일 때, 연산을 생략하는 zero skipping 기법을 통해 연산량을 최소화하여 저전력 모델을 구현했다. 제안한 모델은 Liberton ZYNQ starter kit 에 구현되었으며, MNIST 데이터셋 기준 92.3%의 분류 정확도를 보였고 0.201W의 전력소비를 달성했으며 392.04 GOPS/W의 전력 효율성을 달성했다.

Abstract

Conventional hardware neural networks suffer from high power consumption due to their complex computational structures, making real-time processing difficult in edge environments with limited computing resources. This paper proposes a lightweight DNN capable of real-time data classification in edge device environments. The proposed lightweight DNN utilizes 1-bit weights in the hidden layers and 8-bit weights only in the final layer. Additionally, a zero-skipping method is applied to minimize computational workload by skipping operations when the input is zero, enabling a low-power model implementation. The proposed model was implemented on the Liberton ZYNQ Starter Kit, where it demonstrated accuracy of 92.3% on the MNIST dataset classification. During operation, it consumed 0.201W of power, resulting in a power efficiency of 392.04 GOPS/W.

Keywords: AI, IoT, weight quantization, zero skipping, FPGA

I. INTRODUCTION

IoT, 웨어러블, 엣지 디바이스 등 연산 자원이 제한된 환경에서의 저전력 고속 연산이 가능한 경량화 AI에 대한 요구가 늘어나고 있다^[1]. 기존 AI의 경우 클라우드 서버에 의존하여 통신 지연