

2020년도 한국정보기술학회

# 종합 학술대회 및 대학생 논문경진대회

The Proceedings of the 2020 KIIT Conference

Vol. 15, No. 1, ISSN 2005-7334

- 일시 : 2020년 10월 22일(목) ~ 10월 24일(토)
- 장소 : 청주대학교 공과대학
- 주최 : [사]한국정보기술학회
- 주관 : 청주대학교
- 후원 : 대신정보통신[주], 동아대학교 미디어디바이스연구센터,  
에스넷시스템[주], [주]에스제이정보통신, 나날에스엠아이[주],  
대보정보통신[주], 세림TSG[주], 아이씨티웨이[주],  
[주]에이블정보기술, [주]이글루시큐리티, [주]지에프티,  
진우산전[주], 한국정보기술[주]

이 발표논문집은 정부재원(과학기술진흥기금 및 복권기금)으로  
한국과학기술단체총연합회의 지원을 받아 발간되었음



사단 한국정보기술학회  
The Korean Institute of Information Technology  
[Http://www.ki-it.or.kr](http://www.ki-it.or.kr)

## 지능형 시스템과 미래 정보기술 대학원생 논문발표

### ▣ 세션 E. 통신/제어(2)

13:00 ~ 14:20 (공과대학 07관 305호)	좌장 : 유철중 (전북대학교)
[1] AINN: Adversarial Instance Normalization Network for Image-to-Image Translation ..... Md Foysal Haque, Dae-Seong Kang (동아대학교)	117
[2] 스마트팜에서 사용하는 5G IOT 센서 설계에 관한 연구 ..... 이창용*, 이용환*, 차기룡**, 김영형* (*금오공과대학, ** 성운MATERIALS)	121
[3] LSTM 기반 리튬 이온 배터리의 SOC 추정 ..... 박재형, 김시진, 이종현, 이인수 (경북대학교)	123
[4] 양방향 순환신경망을 이용한 태풍 이동 경로 예측 .. 손현철, 김다슬, 김문년, 김성영 (금오공과대학교)	127
[5] 진폭 제어 회로를 가진 10GHz LC VCO ..... 송창민, 장영찬 (금오공과대학교)	130
[6] 모든 구성요소가 투명하고 무선충전 가능한 온열패치 및 시연 ..... 이상일, 박장웅 (연세대학교)	132
[7] OPPDet: 철근 끝점 예측을 위한 물체 위치 예측 검출 모델 ..... 한준, 강대성 (동아대학교)	135
[8] On Coastal Waste Identification Using Deep Neural Network ..... Chenjuan Ren, Dongwon Jeong (군산대학교)	138
[9] Mining Route Pattern with OpenStreetMap-based Segment ..... Haotian Chen, Dongwon Jeong (군산대학교)	142

### ▣ 세션 F. PCND(3)

13:00 ~ 14:20 (공과대학 07관 309호)	좌장 : 이용환 (금오공과대학교)
[1] CycleGAN을 이용한 한국 초상화 및 증명사진 스타일 상호변환 ..... 시종욱, 정지연, 김규리, 김성영 (금오공과대학교)	147
[2] 비콘을 이용한 자율주행 로봇의 구현에 관한 연구 ..... 이진희, 윤다연, 최해선, 강병권 (순천향대학교)	150
[3] 전방 머리 자세 치료를 위한 교정 보조기 구현에 관한 연구 ..... 김지훈, 이진희, 강병권 (순천향대학교)	153
[4] MPNet: 특정 객체의 배경분리 및 위치 파악을 위한 Mask Positioning Network ..... 박종찬, 강대성 (동아대학교)	157
[5] BCH 기반 파이프라인 구조 BMA 회로의 지연시간 개선 방법 ..... 신명수, 정성훈, 문병인 (경북대학교)	161
[6] 시차 개선을 위한 하이브리드 가중 메디안 필터 방법 ..... 김영현, 신명수, 문병인 (경북대학교)	164
[7] 13-비트 10-MSs CMOS 파이프라인 아날로그-디지털 변환기 ..... 조세현, 정호용, 도원규, 장영찬 (금오공과대학교)	166
[8] 정보시스템 감리기준에 따른 자체 소프트웨어 평가 및 개선방안에 관한 연구 ..... 한수진 이부형 (공주대학교)	169
[9] 대학 평판도 연구에 대한 분석 및 확장 방안에 대한 연구 ..... 채수현, 정동원, 온병원, 김장원 (군산대학교)	172

# BCH 기반 파이프라인 구조 BMA 회로의 지연시간 개선 방법

신명수\*, 정성훈\*\*, 문병인\*\*\*

## Latency Reduction Method of the BCH-based Pipelined BMA Circuit

Myungsu Shin\*, Sunghun Jung\*\*, and Byungin Moon\*\*\*

### 요 약

DRAM의 집적도가 높아질수록 bit error rate가 높아진다. 따라서 다중 오류 정정이 가능한 On-die ECC(Error Correcting Code)가 필요하며, BCH(Bose-Chaudhuri-Hocquenghem) 부호가 이에 적합하다. 그러나 BCH 연산 중 오류 위치 다항식을 생성하는 BMA(Berlekamp-Massey Algorithm)의 긴 지연시간은 DRAM의 응답속도를 저하시키는 단점이 있다. 이에 본 논문에서는 파이프라인 구조의 BMA 초기 연산을 신드롬의 조합으로 정리하여 불필요한 연산을 제거함으로써 지연시간을 개선하는 방법을 제안한다.

### Abstract

The higher density of DRAM, the higher bit error rate. Therefore, on-die error correcting code capable of multiple error correction is required, and Bose-Chaudhuri-Hocquenghem (BCH) code is suitable for this purpose. However, the long latency of the Berlekamp-Massey algorithm (BMA), which generates the error locator polynomial of BCH, increases the DRAM access time. Therefore, this paper proposes a method to reduce BMA latency by removing unnecessary operations by rearranging initial operations of the pipelined BMA circuit into combination of syndromes.

### Key words

Berlekamp-Massey algorithm (BMA), On-die Error Correcting Code (ECC), Bose-Chaudhuri-Hocquenghem (BCH)

## 1. 서 론

최근 발표된 DDR5에는 단일 오류 정정이 가능한 hamming 부호 기반의 On-die ECC(Error Correcting Code)가 적용된다. 그러나 DRAM의 집적도가 높아질수록 bit error rate가 높아지기 때문에,

복수의 오류 정정 능력  $t$ 를 가지며 다른 부호에 비해 구조가 간단한 BCH(Bose-Chaudhuri-Hocquenghem) 부호가 On-die ECC에 적합하다[1]. 그러나 BCH의 오류 위치 다항식을 생성하는 BMA(Berlekamp-Massey Algorithm)는 오류 정정 능력  $t$ 에 비례해 연산량이 증가하기 때문에 DRAM의 응답속

\* 경북대학교 일반대학원 전자전기공학부 석사과정

\*\* 경북대학교 일반대학원 전자전기공학부 박사과정

\*\*\* 경북대학교 IT대학 전자공학부, 일반대학원 전자전기공학부 교수 (교신저자)

※ 본 논문은 경북대학교-삼성전자 반도체 산학협력위원회 연구과제에 의해 지원된 연구 결과임

도를 저하시킨다. 이에 본 논문은 파이프라인 구조의 BMA에서 불필요한 연산을 제거함으로써 지연 시간을 줄이는 방법을 제안한다.

## II. 본 론

BMA는 그림 1과 같이 오류 정보를 가지는 신드롬( $S_{(x)}$ )을 입력받아서, discrepancy( $\Delta$ )와 검출한 오류 개수(L)에 따라 오류 위치 다항식( $A_{(x)}$ )과 연결 다항식( $B_{(x)}$ )을 갱신하는 연산을 t번 반복한다[1].

표 1은 두 번째 stage( $r=2$ )까지의 BMA 연산을 나타내며,  $A_r^{(a)}$ 는 r 번째 stage의  $A_{r(x)}$ 에서  $x^a$ 의 계수를 의미한다. 기존 연구에서는  $\Delta_1$ 을 신드롬으로 나타내어,  $\Delta_1$ 에 쓰이는 레지스터를 줄였다[2].

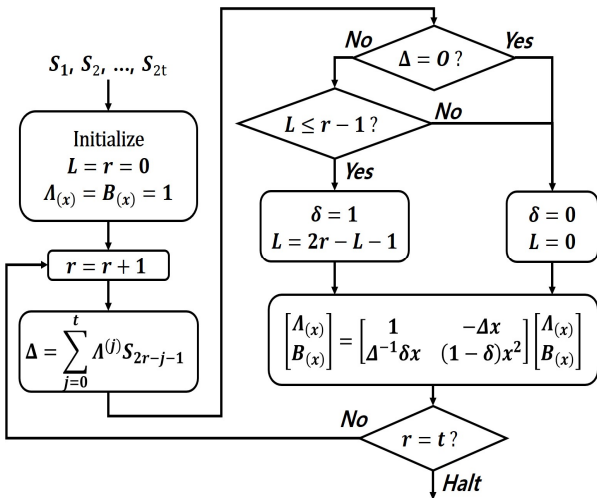


그림 1. BMA의 연산과정  
Fig. 1. Operation process of BMA

더 나아가, 본 논문에서는 표 1과 같이 두 번째 stage( $r=2$ )를 신드롬의 조합으로 연산함으로써 첫 번째 stage( $r=1$ )를 제거하는 방법을 제안한다.

그림 2는 제안하는 방법을 적용하고,  $GF(2^9)$ 상에서 설계한 BMA의 파이프라인 하드웨어 구조이다. 표 2는 Synopsys사의 Design Compiler와 32 nm 공정의 오픈 라이브러리로 합성하여 도출한 critical path 시간과, t에 따른 BMA의 파이프라인 stage 수를 곱해 나타낸 지연시간은 표 2와 같다.

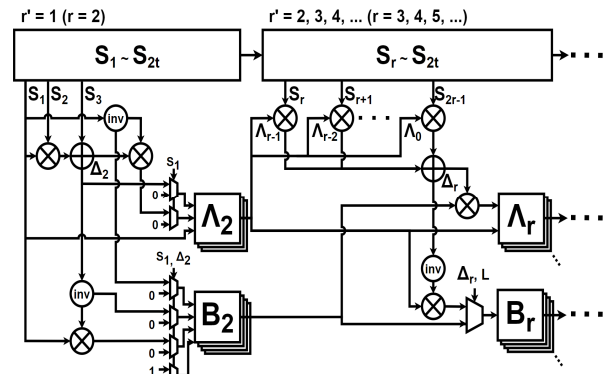


그림 2. 제안하는 방법을 적용한 BMA의 하드웨어 구조  
Fig. 2. Hardware structure of BMA with proposed method

표 2. Critical path로부터 도출한 BMA 지연시간  
Table 2. Latency measurement derived from critical path

t		2	3	4	5
기존 구조	stage	2	3	4	5
	지연시간	1.754ns	4.089ns	5.664ns	7.08ns
제안 구조	stage	1	2	3	4
	지연시간	0.766ns	2.744ns	4.326ns	5.844ns
개선율		56.32%	32.89%	23.62%	17.46%

표 1. 신드롬으로 나타낸 BMA 연산

Table 1. BMA operation expressed in syndrome

Stage(r)	기존 알고리즘 연산	신드롬으로 나타낸 연산
Init.	$A_{0(x)} = 1, B_{0(x)} = 1$	$A_{0(x)} = 1, B_{0(x)} = 1$
1	$\Delta_1 = A_{0(x)}^{(0)} S_1$ $A_{1(x)} = A_{0(x)} + \Delta_1 B_{0(x)} x$ $B_{1(x)} = A_{0(x)} \Delta_1^{-1} x$ or $x^2$	$\Delta_1 = S_1$ $A_{1(x)} = 1 + S_1 x$ $B_{1(x)} = S_1^{-1} x$ or $x^2$
2	$\Delta_2 = A_{1(x)}^{(0)} S_3 + A_{1(x)}^{(1)} S_2$ $A_{2(x)} = A_{1(x)} + \Delta_2 B_{1(x)} x$ $B_{2(x)} = A_{1(x)} \Delta_2^{-1} x$ or $B_{1(x)} x^2$	$\Delta_2 = S_3 + S_1 S_2$ $A_{2(x)} = 1 + S_1 x + \Delta_2 S_1^{-1} x^2$ or $1 + S_1 x + \Delta_2 x^3$ $B_{2(x)} = \Delta_2^{-1} x + \Delta_2^{-1} S_1 x^2$ or $S_1^{-1} x^3$ or $x^4$

### III. 결 론

본 논문에서는 파이프라인 구조의 BMA에서 첫 번째 stage를 생략하는 방법을 제안했다. 제안한 방법을 통해 BMA 연산의 약 한 stage에 소요되는 시간을 줄일 수 있고, DRAM에 요구되는  $t$ 가 낮을수록 BMA의 지연시간을 더 큰 폭으로 줄일 수 있다.

### 참 고 문 헌

- [1] M. Yin, M. Xie and B. Yi, "Optimized algorithms for binary BCH codes," 2013 IEEE International Symposium on Circuits and Systems (ISCAS), Beijing, 2013, pp.
- [2] YK Lu and MD Shieh, "Initial settings of Berlekamp-Massey algorithm for efficient hardware implementation", IET Electronics Letters. vol. 49, No. 3, pp. 190-191, January 2013.