

2019년 제13회 한국정보과학회·한국빅데이터학회

공동학술 심포지엄

Proceedings of KIISE and KBS Joint Symposium

제13권 제1호

- ◆ 일시: 2019년 9월 27일 (금)
- ◆ 장소: 한림대학교 소프트웨어융합대학
- ◆ 주최: 한국정보과학회, 한국빅데이터학회
- ◆ 주관: 한림대학교 소프트웨어융합대학
강원대학교 정보통신연구소
한림대학교 스마트 컴퓨팅 연구소
- ◆ 후원: 대신정보통신



한국정보과학회

KOREAN INSTITUTE OF INFORMATION SCIENTISTS AND ENGINEERS

목 차

기조강연

- 인공지능 시대의 도래 1
김진형 교수 (KAIST 명예교수, AIRI 전원장)

세션 1 알고리즘/기계학습

- BCH 기반 On-die ECC 엔진을 위한 오류 위치 다항식 생성 알고리즘의 비교** 2
권연수, 정성훈, 문병인 (경북대)
- SSE를 활용한 사원수 보간법 성능 향상 4
함승환 (강원대)
- 정확도 블록 대립생성망 알고리즘의 소개 7
최익규, 서원두, 이세건, 성태응 (연세대)
- 효율적인 딥러닝 학습 위한 이미지 보강 설계공간 탐색 10
정재민, 김동영, 우윤희, 이정근 (한림대)

세션 2 IoT/컴퓨터시스템

- FPGA를 이용한 32-bit RISC-V 프로세서 구현 13
최승헌, 윤상균 (연세대)
- OTP(One Time Password)를 이용한 사물인터넷 기반 개인 보관함 보안 시스템 설계 16
이상훈, 이주혁, 한문석 (강릉원주대)
- RaSim v1.0 : 사물인터넷 엣지 컴퓨팅의 효과적 구성을 위한 라즈베리파이 시뮬레이터 19
김우재, 정인범 (강원대)
- 아두이노를 활용한 블루투스 기반 미세먼지 측정기 구현 22
김규형, 진승우, 이형봉 (강릉원주대)

BCH 기반 On-die ECC 엔진을 위한 오류 위치 다항식 생성 알고리즘의 비교

권연수^o, 정성훈, 문병인
경북대학교

kingkrown@knu.ac.kr, keaz6060@knu.ac.kr, bihmoon@knu.ac.kr

Comparison of Error Locator Polynomial Generation Algorithms for BCH-based On-die ECC Engines

Yeon Soo Kwon^o, Sunghun Jung, Byungin Moon
Kyungpook National University

요 약

다중 오류 정정에 대표적으로 사용되는 BCH 부호 기반의 복호화 연산 중 오류 위치 다항식 생성에 대표적으로 Berlekamp-Massey algorithm(BMA)가 사용된다. 이에 BMA를 사용하는 on-die ECC 엔진에서 오류 위치 다항식 생성에 가장 적합한 구조를 도출하기 위해 BMA, inversionless BMA(iBMA), systolic array를 적용한 BMA, iBMA을 HDL로 설계하여 오류 위치 다항식 생성 모듈의 속도 변화를 비교한다. 기존의 BMA 대비 iBMA는 속도가 27.92% 향상되었다. 또한 systolic array를 BMA, iBMA에 적용할 경우 속도가 각각 33.12%, 44.16% 향상되지만 면적은 늘어난다는 것을 확인했다.

1. 서 론

DRAM의 고집적화로 인한 bit error rate(BER)가 높아짐에 따라 이를 효율적으로 해결하기 위해 DRAM에 다중 오류 정정이 가능한 ECC 엔진을 추가하려는 연구가 제안되고 있다[1][2]. 추가된 ECC 엔진으로 인한 DRAM의 속도 저하를 최소화 하기 위해 ECC 엔진의 동작 속도는 가능한 빨라야 한다. 다중 오류 정정에 대표적으로 사용되는 BCH 기반의 복호화 연산 중 오류 위치 다항식 생성에서 가장 많은 시간이 소요된다. 따라서 오류 위치 다항식 생성에 대표적으로 사용되는 Berlekamp-Massey algorithm(BMA)[3]의 소요시간을 줄이기 위해 inversionless BMA(iBMA)[4], systolic array 구조를 적용한 BMA[5] 등의 선행연구들이 제안되었다. 하지만 각각의 알고리즘을 HDL로 설계하고, 설계한 모듈의 소요시간을 직접 비교 분석한 연구는 부족한 실정이며, 이에 본 논문에서는 on-die ECC 엔진에서 오류 위치 다항식 생성에 가장 적합한 구조를 도출하기 위해 BMA과 iBMA 및 systolic array 구조를 적용한 BMA 모듈을 설계하고 각 모듈의 소요시간 변화를 비교 분석한다.

2. 본 론

BCH 부호의 복호화 연산 중 오류의 위치에 대한 정보를 담고 있는 오류 위치 다항식은 일반적으로 BMA를 통해 생성한다. BMA는 부호어(codeword)로 계산된 신드롬을 토대로 오류 위치 다항식을 생성하며, 그림 1은 BMA의 연산 과정을 나타낸다. A 와 B 의 초기값은 1이며, 정정 가능한 비트의 수만큼 연산 과정을 반복한다. 각 반복마다 A 와 신드롬의 연산을 통해 Δ 를 도출하고, 이를 토대로 A 와 B 를 갱신하는 과정을 거친다. A 와 B 는 Δ 와 inversion 연산을 통해 생성한 Δ^{-1} 를 통해 갱신되는

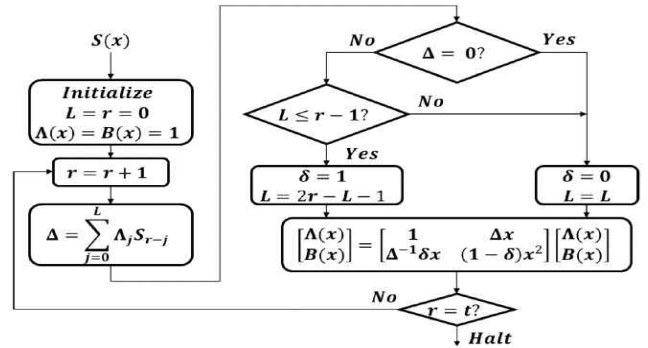


그림 1. BMA의 연산 과정

데, 다른 연산들에 비해 inversion 연산의 부하가 커서 이를 개선하기 위해 inversion 연산을 사용하지 않는 iBMA가 제안되었다[3].

iBMA는 기존의 BMA 연산과 많은 부분이 유사하지만 Δ_B 를 추가함으로써 inversion 연산을 사용하지 않고도 오류 위치에 대한 정보를 담고 있는 오류 위치 다항식을

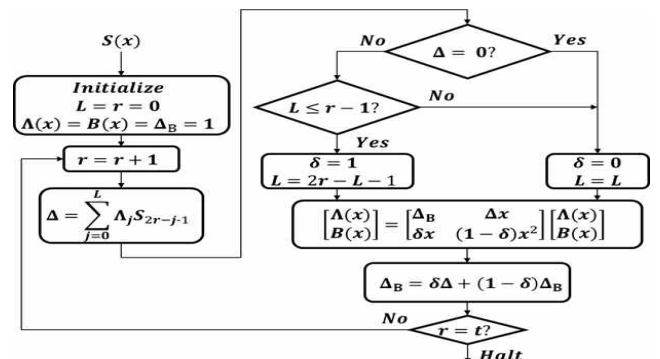


그림 2. iBMA 연산 과정

도출할 수 있다. inversion 연산을 하지 않음으로써 매 반복마다 갱신되는 A 와 B 의 연산 과정이 그림 2와 같이 바뀌게 된다. 이때 Δ_B 의 초기값은 1이고, 조건에 따라 Δ_B 를 Δ 로 갱신하거나 Δ_B 의 값을 변함없이 유지한다. 그리고 이렇게 도출된 Δ_B 와 Δ 를 토대로 A 와 B 의 갱신하는 과정을 거친다[4].

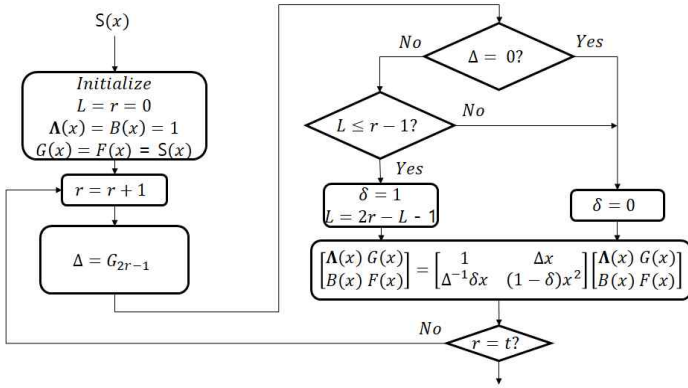


그림 3. systolic array 구조를 적용한 BMA 연산 과정

기존의 BMA는 A 와 신드롬의 모든 요소를 사용하여 Δ 를 도출하는 반면, systolic array를 적용한 BMA는 G 와 F 를 추가하여 G 의 특정 계수만을 이용하여 Δ 를 도출한다. 이때 G 와 F 의 초기값은 신드롬을 계수로 갖는 다항식이며, 그림 3과 같이 A 와 B 의 연산과 동일한 연산을 통해 갱신된다. 이러한 systolic array 구조는 그림 4와 같이 앞서 설명한 inversionless 알고리즘과도 함께 적용할 수 있다[5].

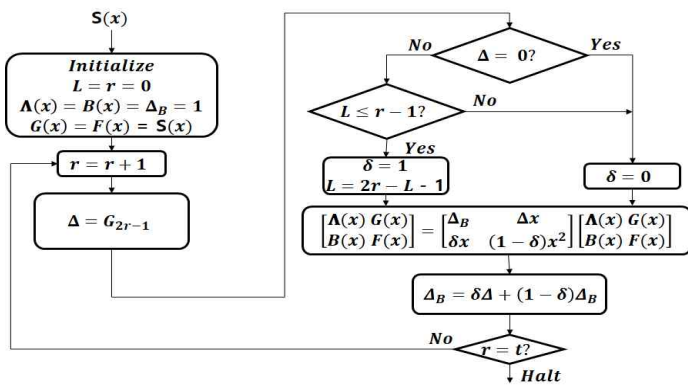


그림 4. systolic array 구조를 적용한 iBMA 연산 과정

본 논문에서는 (310, 256, 6) binary BCH 부호를 기반으로 앞서 설명한 BMA, iBMA, systolic BMA, systolic iBMA를 HDL로 설계하였으며, Synopsys 사의 Design Compiler와 32nm 공정의 오픈 라이브러리를 이용해 각 모듈에서 소요되는 총 시간과 면적을 측정하여 표 1에 나타내었다. 이때 iBMA는 기존의 BMA보다 27.92% 향상된 속도를 보였고, systolic BMA의 경우는 33.12% 향상되었다. systolic iBMA 또한 일반적인 iBMA보다 속도가 22.52% 향상되었다. 기존의 BMA에 비해 iBMA는 면적이

표 1 오류 위치 다항식 생성 모듈의 합성 결과

적용한 알고리즘	총 소요시간(ns)	면적(μm^2)
BMA	9.24	13241.92
iBMA	6.66	12359.53
systolic BMA	6.18	23696.39
systolic iBMA	5.16	19906.59

6.66% 감소하였지만, systolic BMA 및 systolic iBMA의 면적은 각각 78.95%, 50.33% 증가하는 것을 확인하였다.

3. 결론

본 논문에서는 오류 위치 다항식 생성에 대표적으로 사용되는 BMA와 이를 개선하기 위한 iBMA, systolic array 구조를 적용한 BMA, iBMA 모듈을 구현하고, 이를 합성한 결과를 비교 분석하였다. 합성을 진행한 결과 inversionless 알고리즘 및 systolic array 구조를 함께 적용한 systolic iBMA가 속도 면에서는 기존 BMA 대비 44.16% 향상되어 가장 뛰어난 속도를 보였지만, systolic array가 적용되지 않은 BMA 및 iBMA보다 면적이 각각 50.33%, 61.06%씩 증가하는 것을 확인할 수 있다. 따라서 on-die ECC 엔진을 DRAM에 추가하기 위해서는 속도와 면적 등을 함께 고려하여 적절한 알고리즘 및 구조를 선택해야 한다.

감사의 글

본 논문은 경북대학교-삼성전자 반도체 산학협력위원회 연구과제에 의해 지원된 연구 결과임.

참고 문헌

- [1] C. L. chen, M. Y. Hsiao, "Error-Correcting Codes for Semiconductor Memory Applications: A State-of-the-Art Review," IBM Journal of Research and Development, vol.28, 1984.
- [2] Yang, Honda. "Pipelined Berlekamp-Massey error locator polynomial generating apparatus and method." U.S. Patent No. 6,092,233. 18 Jul. 2000.
- [3] F. J. MacWilliams, N. J. A. Sloane, "The Theory of Error Correcting Codes," North_Holland Publishing Company, 1977.
- [4] Feng, Weishi, and Zhan Yu. "Error evaluator for inversionless Berlekamp-Massey algorithm in Reed-Solomon decoders." U.S. Patent No. 7,010,739. 7 Mar. 2006.
- [5] R. E. Blahut, "Algebraic Codes for Data Transmission," Cambridge University Press, 2003.