



2014 SoC Conference


2014 SoC 학술대회

2014. 5. 16(금) : 전야제 ~ 17(토) : 학술대회
한양대학교 정보통신관(ITBT관) 911호


주최 | 대한전자공학회 SoC설계연구회

주관 | 한양대학교, 전자통신연구원 SW-SoC 융합 R&BD센터,
전자부품연구원, 한양대학교 BK21사업단

후원 | Synopsys, Cadence Korea, ICTK, 한국 멘토그래픽스,
휴인스

29. USB 2.0 high-speed PHY interface를 위한 전송선의 Verilog modeling 성기환, 임지훈, 김병섭, 심재윤, 박홍준(포항공과대학교)	71
30. 65-nm 표준 CMOS 공정을 사용한 25-Gb/s 광 통신용 송신기 회로 설계 임진수, 김성근, 최우영(연세대학교)	73
31. CMOS 이미지 센서 인터페이스 용 Gb/s SerDes 홍재형, 김병섭, 박홍준, 심재윤(포항공과대학교)	75
 32. 수신 단 TIA 터미네이션 기법의 단일 신호선 듀오바이너리 송수신 단 회로 이수민, 이일민, 김병섭, 심재윤, 박홍준(포항공과대학교)	77
33. 초고속 Time-interleaved A/D 변환기용 듀티 보정회로를 갖춘 Phase Locked Loop의 설계 박도우, 송민규(동국대학교)	79

Session D : Digital

34. 버스 기반 MPSoC 구조에서의 태스크 매핑 알고리즘에 대한 조사 박해성, 김재훈, 김영환(포항공과대학교)	82
35. 스트림 프리페처에서의 프리페처 정확도를 높이기 위한 프리페처 매개변수 조절 우수해, 박기현, 강성호(연세대학교)	88
36. Asymmetric MPSoC 시스템에 대한 성능의 상향한계 윤용희, 김재훈, 김영환(포항공과대학교)	91
37. DIMM 트리 구조의 페이지 모드 정책 영향 분석 김영규, 장영종, 안태웅, 문병인(경북대학교)	95
38. 컬러 디모자이킹이 결합된 저 복잡도의 실시간 배럴 왜곡 보정 프로세서 정희성, 김태환(한국항공대학교)	97
39. 영상인식시스템의 영상 데이터 처리를 위한 DMA 제어기 설계 이성모(서울과학기술대학교), 이선영, 민경원(전자부품연구원), 이승은(서울과학기술대학교)	99
40. 시그마 델타 변조를 이용한 HDMI 표준의 Display Port 오디오 타임스탬프 변환기 김민준, 강진구(인하대학교)	101
 41. 주변 블록 움직임 벡터를 이용한 새로운 프레임율 증가 변환 알고리즘 김아현(아주대학교), 김운섭(텔레칩스), 선우명훈(아주대학교)	104
42. 바이패싱 구조를 이용한 저전력 전가산기 설계 우준식, 최성립, 남병규(충남대학교)	107

DIMM 트리 구조의 페이지 모드 정책 영향 분석

김영규, 장영중, 안태웅, 문병인*

경북대학교 IT대학 전자공학부

전화: (053)950-7580, E-mail: bihmoon@knu.ac.kr*

Analysis of the Influence of the Page Mode Policy of the DIMM Tree Architecture

Young-Kyu Kim, Young-Jong Jang, Taewoong Ahn, Byungin Moon*

School of Electronics Engineering, Kyungpook National University

요 약

기존 컴퓨터 시스템의 DIMM 연결 방식인 멀티 드롭 방식과 점대점 방식의 문제점을 해결하기 위하여 DIMM tree 구조가 제안되었고, partitioned DIMM tree 정책이 효율적인 메모리 관리를 위하여 추가로 제안되었다. 그러나 DIMM tree 구조는 DRAM의 응답속도에 영향이 큰 페이지 모드 정책을 고려하지 않았다. 이에 본 논문은 페이지 모드 정책이 DIMM tree 구조의 성능에 미치는 영향에 대한 연구를 수행하였다. 실험을 위해 페이지 모드 정책이 적용된 DIMM tree 구조를 모델링 하였으며, 실험 결과의 분석을 통해 가장 효율적인 페이지 모드 정책을 제안하였다.

Abstract

The DIMM tree architecture was proposed to overcome the drawbacks of traditional DIMM interface methods such as multidrop bus and point-to-point links. The partitioned DIMM tree policy was also proposed for the efficient memory management. However, these DIMM tree architectures did not consider the page mode policy that affects greatly the response time of the DRAM. For this reason, this paper have studied the influence of the page mode policy on the performance of the DIMM tree architecture. For the experiment, we modeled a DIMM tree architecture to which page mode policies are applied and proposed the most efficient page mode policy based on the analysis of the experimental result.

Keywords : DIMM tree, many-DIMM, main memory, DRAM, page mode policy

I. 서 론

기존 컴퓨터 시스템의 DIMM(dual inline memory module) 연결 방식인 멀티 드롭(multidrop) 방식과 점대점(point to point links) 방식의 문제점을 극복하기 위하여 DIMM tree 구조가 제안되었다^[1]. DIMM tree 구조는 하위의 레벨일수록 메모리 접근 시간이 길어지기 때문에 효율적인 메모리 관리 및 접근을 위하여, DIMM을 레벨에 따라 slow partition과 fast partition으로 구분하고, slow partition은 실제 메인

메모리로 사용하며 fast partition은 slow partition의 캐시와 같이 사용한다^[1]. 이러한 DIMM tree 구조에서도 최적의 메모리 응답속도를 위해서는 적절한 DRAM 페이지 모드 정책^[2]을 사용하는 것이 매우 중요하다. 그러나 기존 DIMM tree 구조에서는 페이지 모드 정책에 대한 연구가 이루어지지 않았으며, 이에 본 논문에서는 DIMM tree 구조에서 페이지 모드 정책이 시스템 성능에 미치는 영향에 대해 연구하였다. 페이지 모드 정책은 DRAM의 row buffer에 래치(latch)되어 있는 데이터를 다음 접근에 재활용하는 open page 정책과

매 접근 후 row buffer를 비우는 close page 정책으로 구분된다^[2]. 본 논문은 페이지 모드 정책들을 DIMM tree 구조의 fast 및 slow partition 각각에 적용하는 실험을 통해, 페이지 모드 정책이 fast partition의 시스템 성능에 미치는 영향을 분석하였다.

II. 실험

본 실험에서는 slow 및 fast partition의 페이지 모드 정책을 open-open, open-close, close-open, close-close로 정하고, 각각의 정책에 대한 DIMM tree 구조를 모델링 한 후 동일한 workload에 대한 네 가지 모델링의 시스템 성능을 측정하였다. 모델링 된 시스템은 차수가 4이고 깊이가 3인 DIMM tree 구조이며, DIMM tree 구조를 위한 메모리 컨트롤러는 DRAMSim2^[3]를 수정하여 모델링 하였고 각각의 DIMM은 DDR3-1600의 문서를 참조하여 모델링 하였다. 단위 DIMM의 크기는 1 GB이므로, fast partition의 크기는 4 GB이고 메인 메모리의 크기는 slow partition의 크기인 16 GB가 되며, DIMM들 사이의 전송은 1 KB 페이지 크기로 전송된다^[1].

모델링의 성능 검증을 위한 workload는 SimpleScalar^[4]에 SPEC CPU 2006 벤치마크의 bzip2^[5]를 실행하여 생성되는 메인 메모리 접근주소를 추출하였다. 이러한 방식으로 총 100만개의 메모리 접근 요청 주소를 가진 workload를 생성하였으며, 각각의 모델링이 workload를 모두 처리하는데 필요했던 메모리 컨트롤러의 클럭 개수를 성능 검증에 사용하였다.

III. 실험 결과

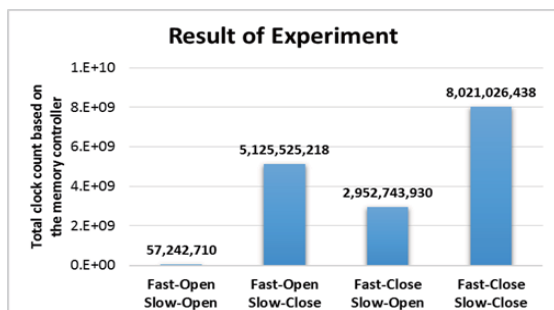


그림 1. 실험 결과

Fig. 1. Result of the experiment.

실험 결과는 그림 1과 같이 open-open 정책과 close-open 정책의 성능이 상대적으로 높게 나타났다.

이는 DIMM들 간의 데이터 전송이 페이지 단위로 전송되기 때문에 slow partition에 대한 접근들이 높은 수준의 locality를 형성하였고, 이로 인해 slow partition의 정책은 open page가 적합한 것으로 분석된다. Fast partition의 정책도 open 정책이 상대적으로 우수한 것으로 실험 결과가 나타났지만 이는 workload의 locality 특성에 많은 영향을 받는 것으로 분석된다.

IV. 결론

본 논문에서는 페이지 모드 정책이 DIMM tree 구조의 성능에 미치는 영향에 대한 연구를 수행하였으며, slow partition이 open 페이지 정책을 사용하는 것이 성능 기여도가 높은 것으로 나타났다. 이러한 결과는 DIMM tree 구조의 성능 향상을 위한 페이지 모드 정책 결정에 많은 참고가 될 것으로 기대된다.

감사의 글

본 논문은 경북대-삼성전자 반도체 산학협력위원회 연구과제에 의해 지원된 연구 결과입니다.

참고 문헌

- [1] K. Therdsteeerasukdi, et al., "Utilizing Radio-Frequency Interconnect for a Many-DIMM DRAM System," *IEEE Journal on Emerging and Selected Topics in Circuits and Systems*, vol. 2, no. 2, pp. 210-227, June 2012.
- [2] Z. Zhang, et al., "A Permutation-based Page Interleaving Scheme to Reduce Row-buffer Conflicts and Exploit Data Locality," in *Proc. of MICRO-33*, pp. 32-41, New York, NY, USA, Dec. 2000.
- [3] P. Rosenfeld, et al., "DRAMSim2: A Cycle Accurate Memory System Simulator," *Computer Architecture Letters*, vol. 10, no. 1, pp. 16-19, Jan.-June 2011.
- [4] D. Burger and T. M. Austin, "The SimpleScalar Tool Set, Version 2.0," *ACM SIGARCH Computer Architecture News*, vol. 25, no. 3, pp. 13-25, June 1997.
- [5] J. L. Henning, "SPEC CPU2006 Benchmark Descriptions," *ACM SIGARCH Computer Architecture News*, vol. 34, no. 4, pp. 1-17, Sept. 2006.